

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 4 2 7 5 7
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 4 2 7 5 7]

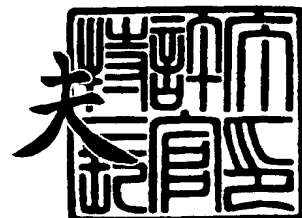
出 願 人 ソニー株式会社
Applicant(s):



2 0 0 3 年 8 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290697402

【提出日】 平成14年11月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04
H01L 21/822

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 関 毅裕

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 中井 將勝

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 目黒 哲正

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 ターゲット回路のクリティカルパス遅延特性を把握するための遅延モニタ回路を有する半導体装置であって、

上記遅延モニタ回路は、

上記ターゲット回路内部の信号伝播遅延の要因となる遅延成分を含み、供給される構成情報に応じた遅延素子列を形成する複数の遅延素子を有する遅延手段と、

上記遅延素子列を形成するための複数の構成情報が設定される複数のレジスタと、

上記複数のレジスタの構成情報を選択的に切り替えて上記遅延手段に供給する切替手段と

を有する半導体装置。

【請求項 2】 上記切替手段は、複数のレジスタに設定された遅延素子列の構成情報を時分割で切り替えて上記遅延手段に供給する

請求項 1 記載の半導体装置。

【請求項 3】 上記遅延モニタ回路は、時分割で形成される遅延素子列が生成する遅延情報に基づき、上記ターゲット回路に供給する電源電圧を制御する制御手段を有する

請求項 2 記載の半導体装置。

【請求項 4】 上記制御回路は、上記遅延手段に形成される複数の遅延素子列が生成する複数の遅延情報を比較し、遅延値がより大きい遅延情報を最終遅延情報として判断し、当該最終遅延情報に基づいて上記電源電圧を制御する

請求項 3 記載の半導体装置。

【請求項 5】 異なるクロック周波数で動作する複数の回路を含むターゲット回路のクリティカルパス遅延特性を把握するための遅延モニタ回路を有する半導体装置であって、

上記遅延モニタ回路は、

上記ターゲット回路内部の信号伝播遅延の要因となる遅延成分を含み、供給される構成情報に応じた遅延素子列を形成する複数の遅延素子を有する遅延手段と、

上記複数の異なる周波数に対応した上記遅延素子列を形成するための複数の構成情報が設定される複数のレジスタと、

上記複数のレジスタの構成情報を選択的に切り替えて上記遅延手段に供給する第 1 の切替手段と

上記複数のクロックを選択的に切り替えて上記遅延手段に供給する第 2 の切替手段と

を有する半導体装置。

【請求項 6】 上記第 1 の切替手段は、複数のレジスタに設定された遅延素子列の構成情報を時分割で切り替えて上記遅延手段に供給し、

上記第 2 の切替手段は、上記複数のクロックを時分割で切り替えて上記遅延手段に供給する

請求項 5 記載の半導体装置。

【請求項 7】 上記遅延モニタ回路は、時分割で形成される遅延素子列が生成する遅延情報に基づき、上記ターゲット回路に供給する電源電圧を制御する制御手段を有する

請求項 6 記載の半導体装置。

【請求項 8】 上記制御回路は、上記遅延手段に形成される複数の遅延素子列が生成する複数の遅延情報を比較し、複数のクロック周波数ドメインのうちクロックサイクルに対する遅延比率の最も大きい遅延情報に基づいて上記電源電圧を制御する

請求項 7 記載の半導体装置。

【請求項 9】 上記複数のレジスタには、各クロック周波数ドメインに対応する構成情報が複数設定される

請求項 8 記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、ターゲット回路のクリティカルパス遅延特性を把握するためのモニタ回路を有する半導体装置に係り、特に、ターゲット回路であるLSIに供給する電源電圧を適応的に制御して低消費電力化を図る技術に関するものである。

【0002】**【従来の技術】**

近年、半導体回路では、低電力化のために、電源電圧を下げる方法が一般的に取られている。これは半導体回路（LSI）の消費電力のAC成分が電源電圧の2乗に比例するため、LSIの低消費電力化には電源電圧の低減が最も効果的であるからである。

【0003】

このような観点から、近年、LSIの動作周波数やプロセスのばらつき、温度変化に対して、電源電圧を動的に制御し、LSIが動作可能な最低電圧を適応的に供給する方法が報告されている。

【0004】

このような適応的電源電圧制御を実現する例として、LSIのクリティカルパス相当の遅延を生成する遅延回路を搭載し、電源電圧制御の対象となるターゲット回路の動作クロック周波数と、この遅延回路の遅延値を比較して、遅延回路の遅延値が動作クロックサイクル以内に収まるように電源電圧を制御している（たとえば、特許文献1、特許文献2、特許文献3参照）。

【0005】

また、LSIのクリティカルパスは動作電圧やプロセス変動によって入れ替わる場合がある。

このようなクリティカルパスの入れ替わりに対応するために、複数の遅延回路を搭載し、全ての遅延回路の遅延値のうち最も遅延の大きいものを選択して電源電圧を制御する方法も提案されている。

【0006】**【特許文献1】**

特開 2000-216338号公報

【特許文献 2】

特開 2000-295084 号公報

【特許文献 3】

特開 2002-100967 号公報

【0007】**【発明が解決しようとする課題】**

しかしながら、パスの入れ替わりに対応するために多くの遅延回路を搭載することは回路規模の増加を招き、遅延回路による遅延モニタ精度と回路規模のトレードオフを考慮する必要が生じる。

【0008】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、回路規模の増加を最小限に抑え、フレキシブルに効率良く遅延モニタ回路を構成可能な半導体装置を提供することにある。

【0009】**【課題を解決するための手段】**

上記目的を達成するため、本発明の第 1 の観点は、ターゲット回路のクリティカルパス遅延特性を把握するための遅延モニタ回路を有する半導体装置であって、上記遅延モニタ回路は、上記ターゲット回路内部の信号伝播遅延の要因となる遅延成分を含み、供給される構成情報に応じた遅延素子列を形成する複数の遅延素子を有する遅延手段と、上記遅延素子列を形成するための複数の構成情報が設定される複数のレジスタと、上記複数のレジスタの構成情報を選択的に切り替えて上記遅延手段に供給する切替手段とを有する。

【0010】

好適には、上記切替手段は、複数のレジスタに設定された遅延素子列の構成情報を時分割で切り替えて上記遅延手段に供給する。

【0011】

また、好適には、上記遅延モニタ回路は、時分割で形成される遅延素子列が生成する遅延情報に基づき、上記ターゲット回路に供給する電源電圧を制御する制御手段を有する。

【0012】

また、上記制御回路は、上記遅延手段に形成される複数の遅延素子列が生成する複数の遅延情報を比較し、遅延値がより大きい遅延情報を最終遅延情報として判断し、当該最終遅延情報に基づいて上記電源電圧を制御する。

【0013】

本発明の第2の観点は、異なるクロック周波数で動作する複数の回路を含むターゲット回路のクリティカルパス遅延特性を把握するための遅延モニタ回路を有する半導体装置であって、上記遅延モニタ回路は、上記ターゲット回路内部の信号伝播遅延の要因となる遅延成分を含み、供給される構成情報に応じた遅延素子列を形成する複数の遅延素子を有する遅延手段と、上記複数の異なる周波数に対応した上記遅延素子列を形成するための複数の構成情報が設定される複数のレジスタと、上記複数のレジスタの構成情報を選択的に切り替えて上記遅延手段に供給する第1の切替手段と、上記複数のクロックを選択的に切り替えて上記遅延手段に供給する第2の切替手段とを有する。

【0014】

好適には、上記第1の切替手段は、複数のレジスタに設定された遅延素子列の構成情報を時分割で切り替えて上記遅延手段に供給し、上記第2の切替手段は、上記複数のクロックを時分割で切り替えて上記遅延手段に供給する。

【0015】

また、好適には、上記遅延モニタ回路は、時分割で形成される遅延素子列が生成する遅延情報に基づき、上記ターゲット回路に供給する電源電圧を制御する制御手段を有する。

【0016】

また、上記制御回路は、上記遅延手段に形成される複数の遅延素子列が生成する複数の遅延情報を比較し、複数のクロック周波数ドメインのうちクロックサイクルに対する遅延比率の最も大きい遅延情報に基づいて上記電源電圧を制御する。

【0017】

また、上記複数のレジスタには、各クロック周波数ドメインに対応する構成情

報が複数設定される。

【0018】

本発明によれば、たとえば切替手段により、複数のレジスタに設定されている複数の構成情報が時分割的に切り替えられて遅延手段に供給される。

遅延手段では、供給される構成情報に基づいた遅延素子列が時分割的に構成される。そして、異なる構成情報に基づく遅延素子列を所定のクロックが伝播され、異なる構成情報に基づく遅延情報が制御回路に供給される。

制御回路においては、遅延手段に形成される複数の遅延素子列が生成する複数の遅延情報が比較され、遅延値がより大きい遅延情報が最終遅延情報として判断され、この最終遅延情報に基づいてターゲット回路に供給する電源電圧値が制御される。

【0019】

【発明の実施の形態】

以下、本発明の好適な実施形態を添付図面に関連付けて説明する。

【0020】

第1実施形態

図1は、本発明に係る半導体装置の第1の実施形態を示すブロック図である。

【0021】

本半導体装置10は、図1に示すように、ターゲット回路(TGT)11、クロック発生回路(CKGEN)12、電源電圧供給回路(PWRSPLY)13、および遅延モニタ回路(DLMNT)14により構成されている。

【0022】

ターゲット回路11は、電源電圧供給回路13により電源電圧 V_{DD} が供給され、クロック発生回路12によるクロックCKに同期して動作する、たとえばDSPあるいはCPU、その他の論理回路を含む半導体回路(LSI)により構成される。

【0023】

クロック発生回路12は、所定周波数のクロックCKを生成し、ターゲット回路11、および遅延モニタ回路14に供給する。

【0024】

電源電圧供給回路13は、遅延モニタ回路14による制御信号S14を受けて、制御信号が指示するように電源電圧 V_{DD} を調整して、ターゲット回路11および遅延モニタ回路14に供給する。

【0025】

遅延モニタ回路14は、ターゲット回路11のクリティカルパス遅延特性を把握するための回路であって、パルス発生回路(PLGEN)141、遅延手段としての遅延信号生成回路(DLGEN)142、遅延検出回路(DLDET)5、制御回路(CTL)144、レジスタ(REG)群145、およびセクタ146を有している。

これらの構成要素のうち、制御回路144とセクタ146により切替手段が構成される。

【0026】

パルス発生回路141は、クロック発生回路12から供給されるクロックCKを基に、クロックCKの1サイクルに等しいパルスS141aおよび遅延検出パルスS141bを生成し、パルスS141a遅延信号生成回路142に出力し、遅延検出パルスS141bを遅延検出回路143に供給する。

【0027】

遅延信号生成回路142は、ターゲット回路11内部の信号伝播遅延の要因となる遅延成分を有する複数の遅延素子を有し、電源電圧供給回路13により電源電圧 V_{DD} が供給される。

遅延信号生成回路142は、レジスタ群145の複数のレジスタに設定された第1構成情報CNFG1または第2構成情報CNFG2のうち、セクタ146で選択され、信号S146として供給された第1構成情報CNFG1または第2構成情報CNFG2に基づいて遅延素子列の構成を切り替え、切り替えた遅延素子列に、パルス発生回路141によるパルスS141aを伝播させ、伝播後のパルスを遅延信号S142として遅延検出回路143に出力する。

【0028】

図2は、本実施形態に係る遅延信号生成回路の具体的な構成例を示す回路図で

ある。

【0029】

この遅延信号生成回路 142 は、図 2 に示すように、構成を調整可能（切り替え可能）なゲート素子列 1421 と配線遅延列 1422 を縦続して構成されている。

【0030】

ゲート素子列 1421 は、パルス S141 の入力に対して直列に接続された複数のゲート素子 14211-1, 14211-2, 14211-3, ..., 14211-n とセレクト 14212 を有する。

セレクト 14212 には、各ゲート素子 14211-1 ~ 14211-n の各出力端子が接続されており、セレクト 146 による信号 S146 に基づいて、ゲート素子の 14211-1 ~ 14211-n の出力のいずれか、または、入力パルス S141a を選択して、次段の配線遅延列 1422 に出力する。

【0031】

配線遅延列 1422 は、ゲート素子列のセレクト 14212 の出力に対して縦続接続された複数の配線（たとえば RC）遅延素子 14221-1, 14221-2, 14221-3, ..., 14221-n とセレクト 14222 を有する。

セレクト 14222 には、各配線遅延素子 14221-1 ~ 14221-n の各出力端子が接続されており、セレクト 146 による信号 S146 に基づいて、配線遅延素子の 14221-1 ~ 14221-n の出力のいずれか、または、全段のゲート素子列 1421 の出力パルスを選択して、信号 S142 として遅延検出回路 143 に出力する。

【0032】

このように、遅延信号生成回路 142 は、レジスタ群 145 に設定された構成情報を示す信号 S146 に従って素子列の段数を切り替えることができ、遅延信号生成回路 142 の特性をターゲット回路 11 のクリティカルパスの特性と同じ特性に調整することが可能である。

【0033】

ここで、遅延信号生成回路 142 を構成する遅延素子としてバッファと配線を

例にあげたが、これに限定するものではなく、その他LSI内部の信号遅延の要因となる遅延素子を加えても良い。

【0034】

遅延検出回路143は、遅延信号生成回路142で発生した遅延を含む遅延信号S142の遅延量を、パルス発生回路141のよる遅延検出パルスS141bを用いて検出し、検出信号S143を制御回路144に出力する。

【0035】

図3(A)～(E)は、遅延検出回路143の遅延検出動作を説明するためのタイミングチャートである。

図3(A)はクロック発生回路12が発生するクロックCK、図3(B)はパルス発生回路141が発生する伝播用パルスS141a、図3(C)および(D)は遅延信号発生回路142が発生する遅延信号S142、および図3(E)はパルス発生回路141が発生する遅延検出パルスS141bをそれぞれ示している。

【0036】

遅延検出回路143は、たとえば図3(C)、(E)に示すように、遅延信号S142が遅延検出パルスS141bより先に入力された場合には、遅延信号S142が立ち上がってから遅延検出パルスS141bが立ち上がるまでの時間を遅延量として検出し、検出信号S143を制御回路144に出力する。

また、遅延検出回路143は、たとえば図3(D)、(E)に示すように、遅延信号S142が遅延検出パルスS141bより後に入力された場合には、遅延検出パルスS141bが立ち上がってから遅延信号S142が立ち上がるまでの時間を遅延量として検出し、検出信号S143を制御回路144に出力する。

【0037】

遅延検出回路143による検出信号S143には、遅延信号生成回路142において、レジスタ群145の第1レジスタREGaに設定された第1構成情報CNFG1に基づく遅延素子列を伝播した場合の第1遅延情報と、遅延信号生成回路142において、レジスタ群145の第2レジスタREGbに設定された第2構成情報CNFG2に基づく遅延素子列を伝播した場合の第2遅延情報とが含ま

れる。

また、第1遅延情報および第2遅延情報は、後述するように、時分割的に交互に供給される。

【0038】

制御回路144は、遅延検出回路143による検出信号S143の遅延情報に基づいて、遅延信号生成回路142の出力信号S142の遅延値がクロックCKの1サイクルに収まり、かつ、遅延検出パルスS141bの立ち上がりのタイミングと遅延信号S142の立ち上がりのタイミングが一致するように、制御信号S14を生成して電源電圧供給回路13を制御する。

【0039】

本実施形態では、遅延信号生成回路142の遅延信号S142の遅延値がクロックCKの1サイクルに収まるように、かつ、遅延検出パルスS141bの立ち上がりのタイミングと遅延信号S142の立ち上がりのタイミングが一致するように、制御回路144により電源電圧 V_{DD} が制御される。

したがって、制御回路144は、図3(C)に示すように、遅延値DLVがクロックCKの1サイクルに収まっている場合であって、遅延検出パルスS141bの立ち上がりのタイミングより遅延信号S142の立ち上がりのタイミングが速い場合には、電源電圧値を現電圧値より低くするように電源電圧変更指示のための制御信号S14を電源電圧供給回路13に出力する。

一方、制御回路144は、図3(D)に示すように、遅延値DLVがクロックCKの1サイクルに収まっていない場合であって、遅延検出パルスS141bの立ち上がりのタイミングより遅延信号S142の立ち上がりのタイミングが遅い場合には、電源電圧値を現電圧値より高くするように、電源電圧変更指示のための制御信号S14を電源電圧供給回路13に出力する。

【0040】

本実施形態に係る制御回路144は、遅延検出回路143に含まれる第1構成情報CNFG1に基づく遅延素子列を伝播した場合の第1遅延情報と、第2構成情報CNFG2に基づく遅延素子列を伝播した場合の第2遅延情報とを比較して、遅延値DLVがより大きい結果を最終遅延情報と判断して電源電圧変更指示の

ための制御信号 S 1 4 を電源電圧供給回路 1 3 に出力する。

【0041】

具体的には、制御回路 1 4 4 は、第 1 および第 2 遅延情報の遅延値が図 3 (C) に示すように、クロック C K の 1 サイクルに収まっている場合には、遅延値 D L V がより大きい結果、すなわち、位相差ずれの小さい方の結果を最終遅延情報と判断して電源電圧変更指示のための制御信号 S 1 4 を電源電圧供給回路 1 3 に出力する。

3 制御回路 1 4 4 は、第 1 遅延情報の遅延値が図 3 (C) に示すように、クロック C K の 1 サイクルに収まっており、第 2 遅延情報の遅延値が図 3 (D) に示すように、クロック C K の 1 サイクルに収まっていない場合には、この第 2 遅延情報の遅延値に基づいて、現電圧値より高くするように電源電圧変更指示のための制御信号 S 1 4 を電源電圧供給回路 1 3 に出力する。

同様に、制御回路 1 4 4 は、第 2 遅延情報の遅延値が図 3 (C) に示すように、クロック C K の 1 サイクルに収まっており、第 1 遅延情報の遅延値が図 3 (D) に示すように、クロック C K の 1 サイクルに収まっていない場合には、この第 1 遅延情報の遅延値に基づいて、現電圧値より高くするように電源電圧変更指示のための制御信号 S 1 4 を電源電圧供給回路 1 3 に出力する。

そして、制御回路 1 4 4 は、第 1 および第 2 遅延情報の遅延値が図 3 (D) に示すように、クロック C K の 1 サイクルに収まっていない場合には、第 1 遅延情報の遅延値と第 2 遅延情報の遅延値のうち、より大きい結果を最終遅延情報と判断して、現電圧値より高くするように電源電圧変更指示のための制御信号 S 1 4 を電源電圧供給回路 1 3 に出力する。

【0042】

また、制御回路 1 4 4 は、セレクタ 1 4 6 に対して、レジスタ群 1 4 5 の第 1 レジスタ R E G a に設定された第 1 構成情報 C N F G 1 およびレジスタ群 1 4 5 の第 2 レジスタ R E G b に設定された第 2 構成情報 C N F G 2 を時分割的に選択して遅延信号生成回路 1 4 2 に出力するように制御する選択信号 S 1 4 4 を出力する。

【0043】

レジスタ群 145 は、遅延信号生成回路 142 の第 1 構成情報 CNFG1 が設定される第 1 レジスタ REGa と、遅延信号生成回路 142 の第 2 構成情報 CNFG2 が設定される第 2 レジスタ REGb を有し、設定された第 1 構成情報 CNFG1 および第 2 構成情報 CNFG2 をセクタ 146 に出力する。

【0044】

セクタ 146 は、制御回路 144 の選択信号 S144 の指示に従って、第 1 レジスタ REGa に設定された第 1 構成情報 CNFG1 と第 2 レジスタ REGb に設定されている第 2 構成情報 CNFG2 を、所定時間毎に切り替えて選択して、すなわち時分割的に選択して遅延信号生成回路 142 に出力する。

【0045】

次に、上記構成による動作を、図 4 および図 5 に関連付けて説明する。

図 4 は、異なる遅延特性を持ったクリティカルパスの入れ替わりを示す概念図である。図 4 において、横軸が電源電圧 V_{DD} を、縦軸が遅延時間 T_{DLY} をそれぞれ示している。

図 5 は、第 1 の実施形態における時分割動作（2 つの構成情報に対する時分割）を説明するための図である。

【0046】

レジスタ群の第 1 レジスタ REGa の第 1 構成情報 CNFG1 が設定され、第 2 レジスタ REGb に第 2 構成情報 CNFG2 が設定され、それぞれセクタ 146 に供給される。

セクタ 146 においては、制御回路 144 の制御信号 S144 の指示に従って、第 1 レジスタ REGa に設定された第 1 構成情報 CNFG1 と第 2 レジスタ REGb に設定されている第 2 構成情報 CNFG2 が、所定時間毎に時分割的に選択されて遅延信号生成回路 142 に出力される。

【0047】

遅延信号生成回路 142 においては、電源電圧供給回路 13 により電源電圧 V_{DD} が供給されており、レジスタ群 145 の複数のレジスタに設定された第 1 構成情報 CNFG1 または第 2 構成情報 CNFG2 のうち、セクタ 146 で選択され、信号 S146 として供給された第 1 構成情報 CNFG1 または第 2 構成情報

C N F G 2 に基づいて遅延素子列の構成が切り替えられる。

そして、遅延信号生成回路 1 4 2 においては、パルス発生回路 1 4 1 で発生されたパルス S 1 4 1 a が信号 S 1 4 6 に基づいて構成された遅延素子列を伝播される。遅延素子列を伝播後のパルスが遅延信号 S 1 4 2 として遅延検出回路 1 4 3 に出力される。

遅延信号生成回路 1 4 2 からは、第 1 構成情報 C N F G 1 に基づく第 1 遅延素子列の第 1 遅延情報を含む第 1 遅延信号 1 4 2 と、第 2 構成情報 C N F G 2 に基づく第 2 遅延素子列の第 2 遅延情報を含む第 2 遅延信号 S 1 4 2 が時分割的に交互に出力される。

【0048】

たとえば、第 1 レジスタ R E G 1 に設定された第 1 構成情報 C N F G 1 に基づく遅延特性は、図 4 中符号 A で示す特性を持ち、第 2 レジスタ R E G b に設定された第 2 構成情報 C N F G 2 に基づく遅延特性は図中符号 B で示す特性を持ち、この遅延特性に応じた第 1 および第 2 遅延情報が遅延信号 S 1 4 2 として遅延検出回路 1 4 3 に時分割的に供給される。

【0049】

遅延検出回路 1 4 3 においては、遅延信号生成回路 1 4 2 で発生された第 1 遅延情報および第 2 遅延情報を含む各遅延信号 S 1 4 2 の遅延量が、パルス発生回路 1 4 1 のよる遅延検出パルス S 1 4 1 b を用いて検出され、検出結果が検出信号 S 1 4 3 として制御回路 1 4 4 に出力される。

制御回路 1 4 4 では、遅延検出回路 1 4 3 に含まれる第 1 構成情報 C N F G 1 に基づく遅延素子列を伝播した場合の第 1 遅延情報と、第 2 構成情報 C N F G 2 に基づく遅延素子列を伝播した場合の第 2 遅延情報とが比較されて、遅延値 D L V がより大きい結果を最終遅延情報と判断しされる。そして、判断結果に基づいて電源電圧を現電圧値から高くするように、あるいは低くするように変更指示のための制御信号 S 1 4 が電源電圧供給回路 1 3 に出力される。

【0050】

以上の遅延信号生成回路の構成情報を時分割で切り替えた場合の動作を図 5 を参照してさらに具体的に説明する。

【0051】

図5に示すように、時刻T0において、制御回路144はセクタ146に選択信号S144により第1レジスタREGaの第1構成情報CNFG1を遅延信号生成回路142に供給させる。

そして、第1遅延素子列を伝播した遅延信号S142の遅延検出パルスS141bに対する遅延量（時間）を含む第1遅延情報が検出信号S143として制御回路144に供給される。

この第1構成情報CNFG1による第1遅延情報を制御回路144が取得した時点（時刻T1）で、制御回路144からは、遅延生成回路142に送る構成情報を第2レジスタREGbの第2構成情報CNFG2に切り替えるように選択信号S144が出力される。

【0052】

そして、第2遅延素子列を伝播した遅延信号S142の遅延検出パルスS141bに対する遅延量（時間）を含む第2遅延情報が検出信号S143として制御回路144に供給される。

この第2構成情報CNFG2による第2遅延情報を制御回路144が取得すると（時刻T2）、第1構成情報CNFG1および第2構成情報CNFG2それぞれの結果が制御回路144において比較される。

比較の結果、より遅延の大きい結果が最終遅延情報と判断され、電源電圧変更の指示である制御信号S14が電源電圧供給回路13に出力される。

これと並行して、制御回路144はセクタ146に選択信号S144により再び第1レジスタREGaの第1構成情報CNFG1を遅延信号生成回路142に供給させる。

以降、同じ処理を繰り返す。

その結果として、図4の特性Aと特性Bのより遅延の大きい特性が最終特性として得られ、図4中に符号Cで示す特性を実現することができる。

【0053】

以上説明したように、本第1の実施形態によれば、供給された第1構成情報CNFG1または第2構成情報CNFG2に基づいて遅延素子列の構成を切り替え

、パルス S 1 4 1 を切り替えた遅延素子列を伝播させて遅延信号 S 1 4 2 を生成する遅延信号発生回路 1 4 2 と、遅延信号生成回路 1 4 2 の第 1 構成情報 C N F G 1 が設定される第 1 レジスタ R E G a と、遅延信号生成回路 1 4 2 の第 2 構成情報 C N F G 2 が設定される第 2 レジスタ R E G b を有するレジスタ群 1 4 5 と、選択信号 S 1 4 4 の指示に従って、第 1 レジスタ R E G a に設定された第 1 構成情報 C N F G 1 と第 2 レジスタ R E G b に設定されている第 2 構成情報 C N F G 2 を、時分割的に選択して遅延信号生成回路 1 4 2 に出力するセクタ 1 4 6 と、遅延信号 S 1 4 2 の遅延量を検出する遅延検出回路 1 4 3 と、遅延検出回路 1 4 3 による遅延情報に基づいて、遅延信号 S 1 4 2 の遅延値がクロック C K の 1 サイクルに収まり、かつ、遅延検出パルス S 1 4 1 b の立ち上がりのタイミングと遅延信号 S 1 4 2 の立ち上がりのタイミングが一致するように、制御信号 S 1 4 を生成して電源電圧供給回路 1 3 を制御し、第 1 レジスタ R E G a に設定された第 1 構成情報 C N F G 1 および第 2 レジスタ R E G b に設定された第 2 構成情報 C N F G 2 を時分割的に選択して遅延信号生成回路 1 4 2 に出力するように選択信号 S 1 4 4 をセクタ 1 4 6 に出力する制御回路 1 4 4 を設けたので、以下の効果を得ることができる。

【0054】

すなわち、本発明は、レジスタ群に格納された遅延生成回路の構成情報を時分割で切り替えることで、複数の遅延生成回路により生成される複合遅延特性と等価な特性を得るもので、複数の特性を複合するために遅延信号生成回路を複数備える必要が無く、回路規模の増大を抑えることが可能となる。

【0055】

なお、本実施形態では 2 組の構成情報を時分割で切り替える例を示したが、3 組以上の構成に対しても同様に適用することができる。

【0056】

第 2 実施形態

図 6 は、本発明に係る半導体装置の第 2 の実施形態を示すブロック図である。

【0057】

本第 2 の実施形態が上述した第 1 の実施形態と異なる点は、ターゲット回路 1

1 Aが複数の異なる周波数で動作する回路ブロックを有することにある。

【0058】

たとえば、ターゲット回路11Aは、CPUとDSPを搭載したLSIで、CPUはクロック周波数 f_1 で動作し、DSPがクロック周波数 f_2 で動作する場合、動作電圧や温度などの条件によりどちらの周波数ドメインの回路がクリティカルパスになるか分らない。

したがって、遅延モニタ回路14Aはクロック周波数 f_1 およびクロック周波数 f_2 それぞれで動作する回路の遅延をモニタする必要がある。

【0059】

本第2の実施形態に係るクロック発生回路12Aは、周波数 f_1 のクロックCK1と周波数 f_2 のクロックCK2を生成し、ターゲット回路11Aおよびモニタ回路14Aに供給する。

【0060】

また、モニタ回路14Aは、さらにセクタ147を有し、セクタ147は、制御回路144Aによる選択信号S144bの指示に従って、クロック発生回路141に入力させる。

【0061】

本第2の実施形態においては、制御回路144Aとセクタ146Aにより第1の切替手段が構成され、制御回路144Aとセクタ147により第2の切替手段が構成される。

【0062】

レジスタ群145Aは、クロックCK1およびCK2の2つの周波数ドメインに対応した遅延信号生成回路142の第1～第4構成情報CNFG11～CNFG14を格納する第1～第4レジスタREGa, REGb, REGc, REGdを有する。

ここで第1および第2レジスタREGa, REGbはクロックCK1の周波数ドメインに対応する第1および第2構成情報CNFG11, CNFG12を格納し、第3および第4レジスタREGc, REGdはクロックCK2の周波数ドメインに対応する第3および第4構成情報CNFG13, CNFG14を格納する

。

【0063】

以下に、本第2の実施形態に係る制御回路144Aの機能を中心に、複数のクロック周波数ドメインを有する場合の時分割動作を、図7および図8に関連付けて説明する。

まず、図7に関連付けて説明する。

図7は、1つの周波数ドメインに対して1つの構成情報で動作する例である。

【0064】

この場合は、制御回路144Aは、たとえば第1構成情報CNFG11に基づく遅延素子列を伝播した場合の第1遅延情報と、第3構成情報CNFG13に基づく遅延素子列を伝播した場合の第3遅延情報とを比較して、クロックサイクルに対する遅延比率のより大きい遅延情報に基づいて電源電圧変更指示のための制御信号S14を電源電圧供給回路13に出力する。

以下、さらに詳細に説明する。

【0065】

時刻T0において制御回路144Aから、第1レジスタREGaの第1構成情報CNFG11を選択して遅延信号生成回路142に送るように選択信号S146aが出力される。

これと並行して、制御回路144Aから、クロックCK1を選択してパルス発生回路141に入力するように、選択信号S144bがセレクタ147に出力される。

これにより、パルス発生回路141では、クロックCK1に基づくパルスS141aおよび遅延検出パルスA141bが生成され、遅延信号生成回路142および遅延検出回路143に出力される。

遅延信号生成回路142で、第1構成情報CNFG11に基づく遅延素子列が形成され、この遅延素子列をパルスS141aが伝播され、遅延信号S142が遅延検出回路143に入力される。そして、遅延検出回路143から、第1構成情報CNFG11に基づく遅延素子列を伝播した場合の第1遅延情報が制御回路144Aに供給される。

【0066】

そして、第1構成情報CNFG11による第1遅延情報を制御回路144Aが取得した時点（時刻T1）で、クロック周波数ドメインCFD1の遅延情報が確定する。

制御回路144Aでは、時刻T0で既に得られているクロック周波数ドメインCFD2の第3遅延情報と時刻T1で得られたクロック周波数ドメインCFD1の第1遅延情報が比較され、クロックサイクルに対する遅延比率のより大きい遅延情報に基づいて電源変更の指示のための制御信号S14が電源電圧供給回路13に出される。

【0067】

また、時刻T1において制御回路144Aにおいては、第3レジスタREGcの第3構成情報CNFG13を選択して遅延信号生成回路142に送るように選択信号S146aが出力される。

これと並行して、制御回路144Aから、クロックCK2を選択してパルス発生回路141に入力するように、選択信号S144bがセクタ147に出力される。

これにより、パルス発生回路141では、クロックCK2に基づくパルスS141aおよび遅延検出パルスA141bが生成され、遅延信号生成回路142および遅延検出回路143に出力される。

遅延信号生成回路142で、第3構成情報CNFG13に基づく遅延素子列が形成され、この遅延素子列をパルスS141aが伝播され、遅延信号S142が遅延検出回路143に入力される。そして、遅延検出回路143から、第3構成情報CNFG13に基づく遅延素子列を伝播した場合の第3遅延情報が制御回路144Aに供給される。

【0068】

そして、第3構成情報CNFG13による第3遅延情報を制御回路144Aが取得した時点（時刻T2）で、クロック周波数ドメインCFD2の遅延情報が確定する。

制御回路144Aでは、時刻T1で既に得られているクロック周波数ドメイン

C F D 1 の遅延情報と時刻 T 2 で得られたクロック周波数ドメイン C F D 2 の遅延情報が比較され、クロックサイクルに対する遅延比率のより大きい遅延情報に基づいて電源変更の指示のための制御信号 S 1 4 が電源電圧供給回路 1 3 に出される。

【0069】

また、時刻 T 2 において制御回路 1 4 4 A においては、第 1 レジスタ R E G a の第 1 構成情報 C N F G 1 1 を選択して遅延信号生成回路 1 4 2 に送るように選択信号 S 1 4 6 a が出力される。

これと並行して、制御回路 1 4 4 A から、クロック C K 1 を選択してパルス発生回路 1 4 1 に入力するように、選択信号 S 1 4 4 b がセクタ 1 4 7 に出力される。

以降、同じ処理が繰り返される。

【0070】

以上の処理により、複数のクロック周波数ドメインのうちクロックサイクルに対する遅延比率の最も大きい遅延情報に基づいて電源電圧の制御を行うことが可能となる。

【0071】

なお、図 7 の例では、2 種類のクロック周波数ドメインの構成情報を時分割で切り替える例を示したが、3 種類以上のクロック周波数ドメインを持つ場合に対しても同様に適用することができる。

【0072】

次に、図 8 に関連付けて、各周波数ドメインに対して複数の構成情報で動作する例を説明する。

【0073】

時刻 T 0 において制御回路 1 4 4 A から、第 1 レジスタ R E G a の第 1 構成情報 C N F G 1 1 を選択して遅延信号生成回路 1 4 2 に送るように選択信号 S 1 4 6 a が出力される。

これと並行して、制御回路 1 4 4 A から、クロック C K 1 を選択してパルス発生回路 1 4 1 に入力するように、選択信号 S 1 4 4 b がセクタ 1 4 7 に出力さ

れる。

これにより、パルス発生回路 141 では、クロック CK1 に基づくパルス S141a および遅延検出パルス A141b が生成され、遅延信号生成回路 142 および遅延検出回路 143 に出力される。

遅延信号生成回路 142 で、第 1 構成情報 CNFG11 に基づく遅延素子列が形成され、この遅延素子列をパルス S141a が伝播され、遅延信号 S142 が遅延検出回路 143 に入力される。そして、遅延検出回路 143 から、第 1 構成情報 CNFG11 に基づく遅延素子列を伝播した場合の第 1 遅延情報が制御回路 144A に供給される。

【0074】

この第 1 構成情報 CNFG11 による第 1 遅延情報を制御回路 144A が取得した時点（時刻 T1）で、制御回路 144A から、第 2 レジスタ REGb の第 2 構成情報 CNFG12 を選択して遅延信号生成回路 142 に送るように選択信号 S146a が出力される。

遅延信号生成回路 142 で、第 2 構成情報 CNFG12 に基づく遅延素子列が形成され、この遅延素子列をパルス S141a が伝播され、遅延信号 S142 が遅延検出回路 143 に入力される。そして、遅延検出回路 143 から、第 2 構成情報 CNFG12 に基づく遅延素子列を伝播した場合の第 2 遅延情報が制御回路 144A に供給される。

【0075】

この第 2 構成情報 CNFG12 による第 2 遅延情報を制御回路 144A が取得すると（時刻 T2）、第 1 構成情報 CNFG11 および第 2 構成情報 CNFG12 それぞれの結果が制御回路 144A で比較され、より遅延の大きい結果がクロック周波数ドメイン CFD1 の遅延情報として選択される。

制御回路 144A においては、時刻 T0 で既に得られているクロック周波数ドメイン CFD2 の遅延情報と、時刻 T2 で得られたクロック周波数ドメイン CFD1 の遅延情報とが比較され、クロックサイクルに対する遅延比率のより大きい遅延情報に基づいて電源変更の指示のための制御信号 S14 が電源電圧供給回路 13 に出される。

【0076】

また、時刻T2において制御回路144Aにおいては、第3レジスタREGcの第3構成情報CNFG13を選択して遅延信号生成回路142に送るように選択信号S146aが出力される。

これと並行して、制御回路144Aから、クロックCK2を選択してパルス発生回路141に入力するように、選択信号S144bがセクタ147に出力される。

これにより、パルス発生回路141では、クロックCK2に基づくパルスS141aおよび遅延検出パルスA141bが生成され、遅延信号生成回路142および遅延検出回路143に出力される。

遅延信号生成回路142で、第3構成情報CNFG13に基づく遅延素子列が形成され、この遅延素子列をパルスS141aが伝播され、遅延信号S142が遅延検出回路143に入力される。そして、遅延検出回路143から、第3構成情報CNFG13に基づく遅延素子列を伝播した場合の第3遅延情報が制御回路144Aに供給される。

【0077】

この第3構成情報CNFG13による第3遅延情報を制御回路144Aが取得した時点（時刻T3）で、制御回路144Aから、第4レジスタREGdの第4構成情報CNFG14を選択して遅延信号生成回路142に送るように選択信号S146aが出力される。

遅延信号生成回路142で、第4構成情報CNFG14に基づく遅延素子列が形成され、この遅延素子列をパルスS141aが伝播され、遅延信号S142が遅延検出回路143に入力される。そして、遅延検出回路143から、第4構成情報CNFG14に基づく遅延素子列を伝播した場合の第4遅延情報が制御回路144Aに供給される。

【0078】

この第4構成情報CNFG14による第4遅延情報を制御回路144Aが取得すると（時刻T4）、第3構成情報CNFG13および第4構成情報CNFG14それぞれの結果が制御回路144Aで比較されて、より遅延の大きい結果がク

ロック周波数ドメインCFD2の遅延情報として選択される。

制御回路144Aにおいて、時刻T2で既に得られているクロック周波数ドメインCFD1の遅延情報と時刻T4で得られたクロック周波数ドメインCFDF2の遅延情報が比較され、クロックサイクルに対する遅延比率のより大きい遅延情報に基づいて電源変更の指示のための制御信号S14が電源電圧供給回路13に出される。

【0079】

また、時刻T4において制御回路144Aにおいては、第1レジスタREGaの第1構成情報CNFG11を選択して遅延信号生成回路142に送るように選択信号S146aが出力される。

これと並行して、制御回路144Aから、クロックCK1を選択してパルス発生回路141に入力するように、選択信号S144bがセレクタ147に出力される。

以降、同じ処理が繰り返される。

【0080】

以上の処理により、複数のクロック周波数ドメインを持ち、かつ各クロック周波数ドメインに対応する遅延生成回路の構成情報が複数ある場合においても、クロックサイクルに対する遅延比率の最も大きい遅延情報に基づいて電源電圧の制御を行なうことが可能となる。

【0081】

なお、図8の例では、2種類のクロック周波数ドメインおよび1つのクロック周波数ドメインに対して2組の構成情報を時分割で切り替える例を示したが、3種類以上のクロック周波数ドメインおよび1つのクロック周波数ドメインに対して3組以上の構成情報を持つ場合に対しても同様に適用することができる。

【0082】

【発明の効果】

以上説明したように、本発明によれば、複数の遅延特性を複合するために、遅延信号生成回路を複数備える必要が無くなるために、回路規模の増大を抑えることが可能となる。

さらに遅延をモニタするために必要な回路規模を削減できるために、消費電力の低減が可能となる。

【図面の簡単な説明】

【図 1】

本発明に係る半導体装置の第 1 の実施形態を示す要部ブロック図である。

【図 2】

遅延信号生成回路の実施形態を示す図である。

【図 3】

遅延検出の動作を示すタイミングチャート図である。

【図 4】

異なる遅延特性を持ったクリティカルパスの入れ替わりを示す概念図である。

【図 5】

第 1 の実施形態における時分割動作（2 つの構成情報に対する時分割）を示す図である。

【図 6】

本発明に係る半導体装置の第 2 の実施形態を示す要部ブロック図である。

【図 7】

第 2 の実施形態における時分割動作（2 つのクロック周波数ドメインに対するの時分割）を示す図である。

【図 8】

第 2 の実施形態における時分割動作（2 つのクロック周波数ドメインおよび 2 つの構成情報に対するの時分割）を示す図である。

【符号の説明】

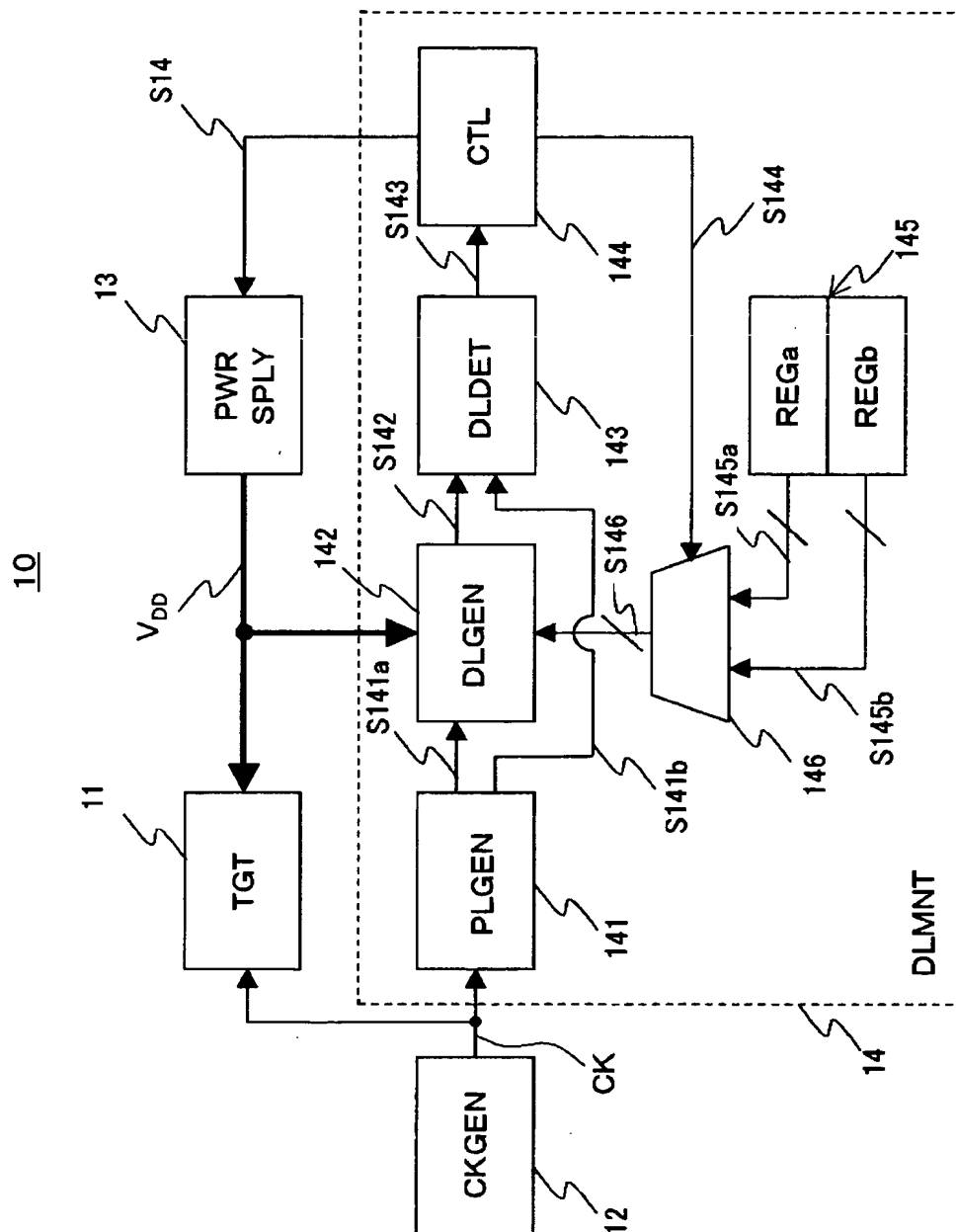
1 0, 1 0 A…半導体装置、1 1, 1 1 A…ターゲット回路（T G T）、1 2, 1 2 A…クロック発生回路（C K G E N）、1 3…電源電圧供給回路（P W R S P L Y）、1 4, 1 4 A…遅延モニタ回路（D L M N T）、1 4 1…パルス発生回路（P L G E N）、1 4 2…遅延信号生成回路（D L G E N）、1 4 2 1…ゲート素子列、1 4 2 1 1-1～1 4 2 1 1-n…ゲート素子、1 4 2 1 2…セレクト、1 4 2 2…配線遅延列、1 4 2 2 1-1～1 4 2 2 1-n…配線遅延

素子、1 4 2 2 2 …セクタ、1 4 3 …遅延検出回路（DLDET）、1 4 4，
1 4 4 A …制御回路（CTL）、1 4 5，1 4 5 A …レジスタ群、1 4 6，1 4
6 A，1 4 7 …セクタ。

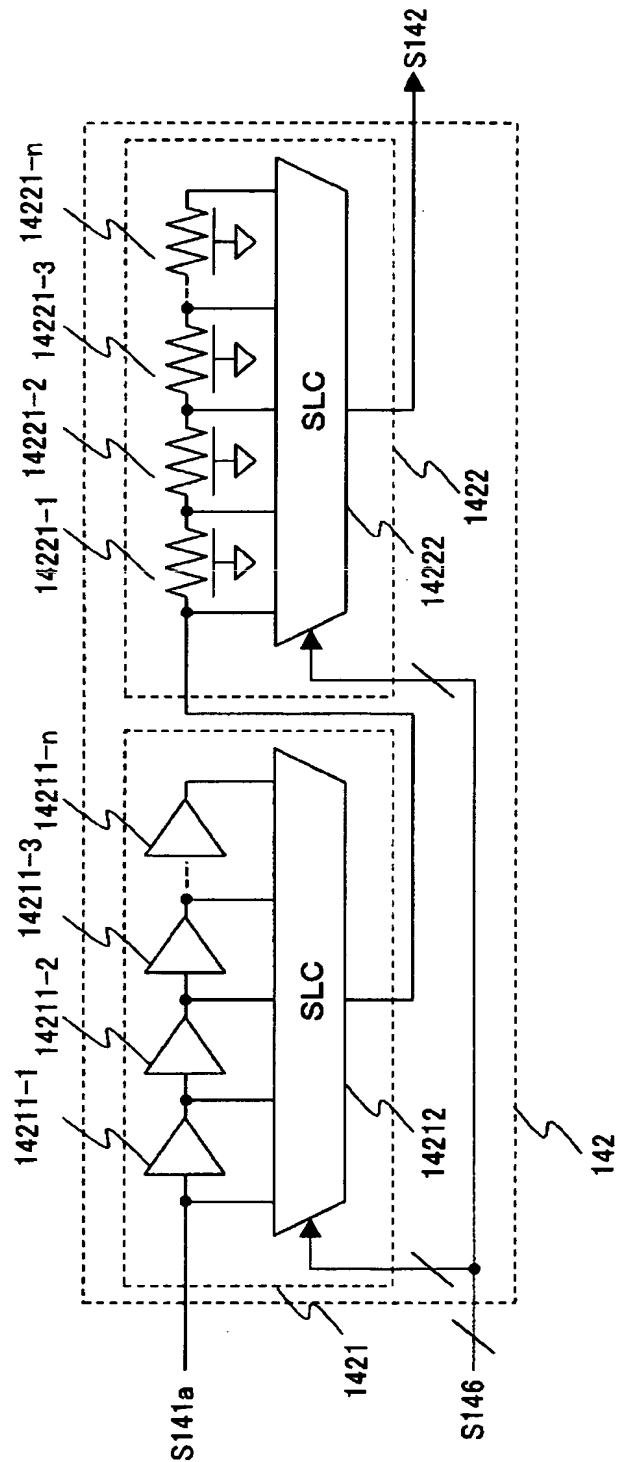
【書類名】

図面

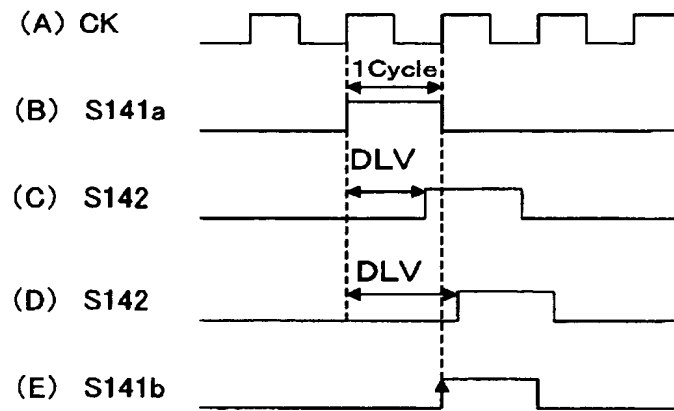
【図 1】



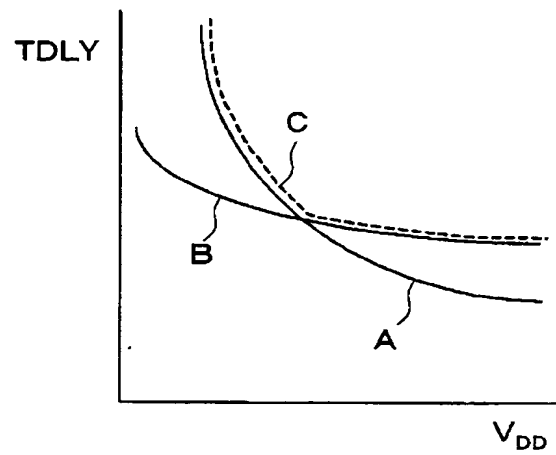
【図 2】



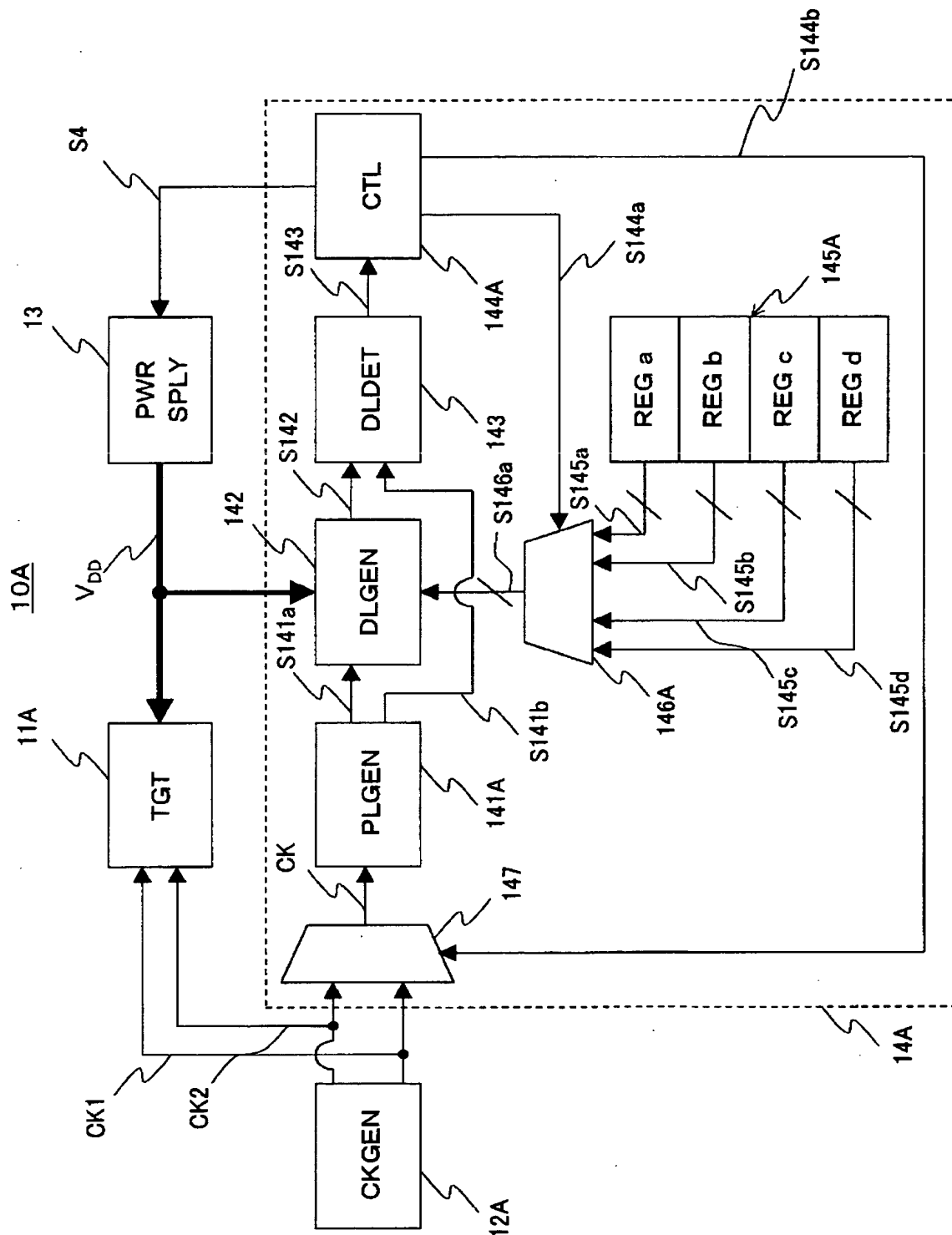
【図 3】



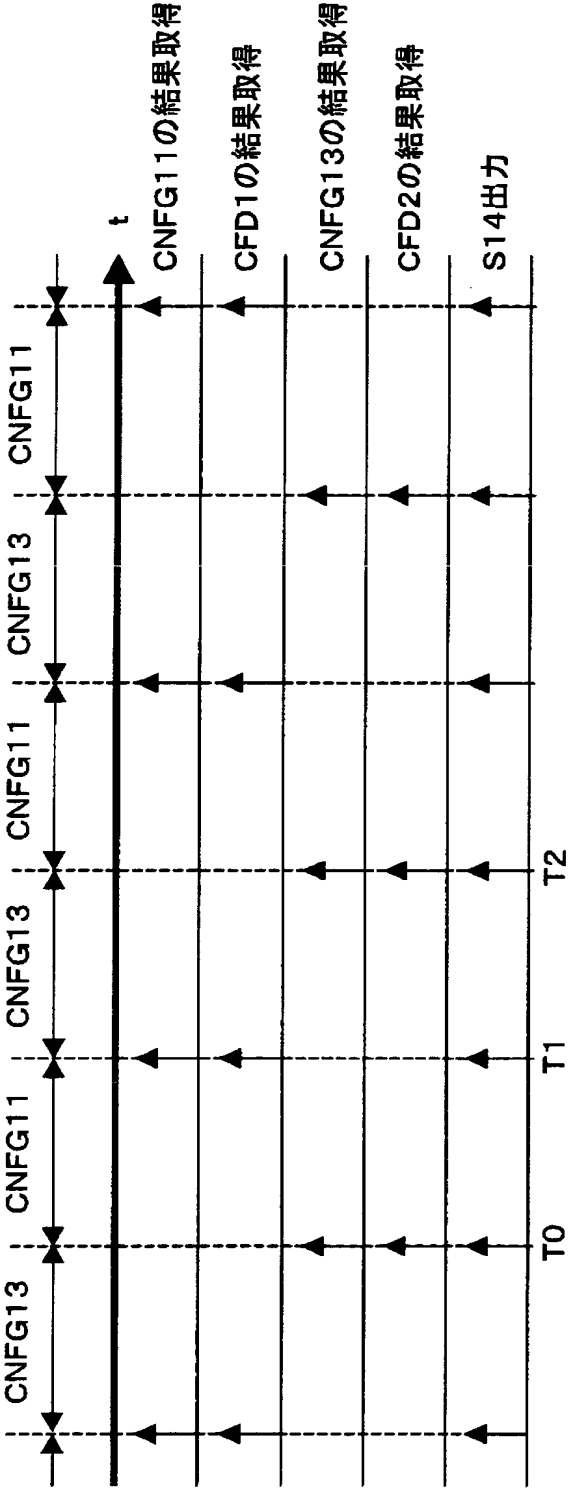
【図 4】



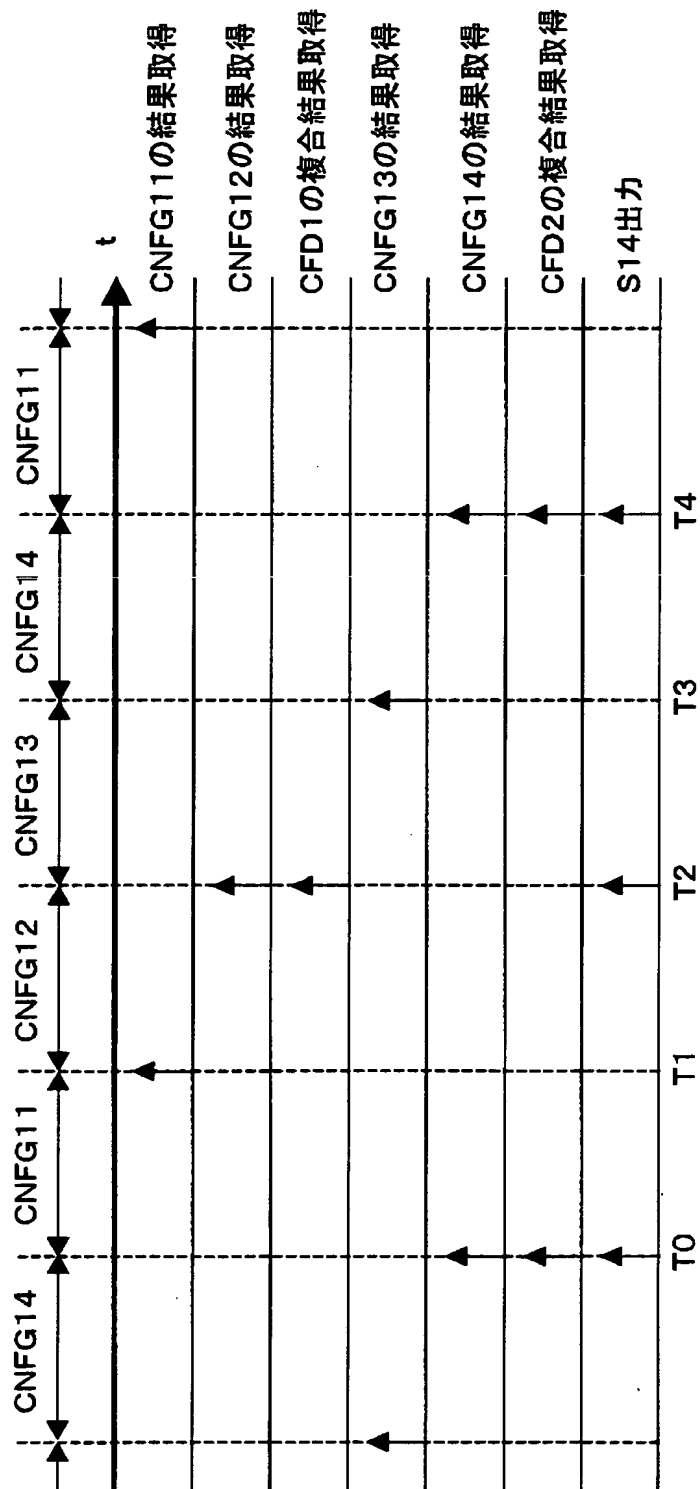
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 回路規模の増加を最小限に抑え、フレキシブルに効率良く遅延モニタ回路を構成可能な半導体装置を提供する。

【解決手段】 第 1 構成情報 C N F G 1 または第 2 構成情報 C N F G 2 に基づいて遅延素子列の構成を切り替え、パルス S 1 4 1 を切り替えた遅延素子列を伝播させる遅延信号発生回路 1 4 2 と、第 1 構成情報 C N F G 1 が設定される第 1 レジスタ R E G a と第 2 構成情報 C N F G 2 が設定される第 2 レジスタ R E G b を有するレジスタ群 1 4 5 と、選択信号 S 1 4 4 の指示に従って、第 1 構成情報 C N F G 1 と第 2 構成情報 C N F G 2 を時分割的に遅延信号生成回路 1 4 2 に出力するセクタ 1 4 6 と、遅延素子列の遅延情報に基づいて電源電圧を制御し、第 1 構成情報 C N F G 1 および第 2 構成情報 C N F G 2 を時分割的に選択するように選択信号 S 1 4 4 をセクタ 1 4 6 に出力する制御回路 1 4 4 とを設ける。

【選択図】 図 1

特願 2 0 0 2 - 3 4 2 7 5 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1 . 変更年月日
[変更理由]

1 9 9 0 年 8 月 3 0 日
新規登録

住 所
氏 名

東京都品川区北品川 6 丁目 7 番 3 5 号
ソニー株式会社